

CARRIER RECOVERY CIRCUIT

Publication number: JP9168039 (A)

Publication date: 1997-06-24

Inventor(s): KOMATSU SUSUMU; NISHIKAWA MASAKI; SUGITA YASUSHI

Applicant(s): TOSHIBA CORP, TOSHIBA AVE KK

Classification:

- international: **H04L27/38; H04L27/38; (IPC1-7): H04L27/38**

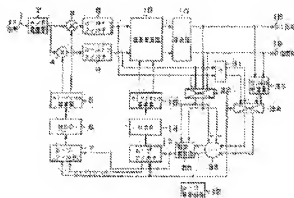
- European:

Application number: JP19950327302 19951215

Priority number(s): JP19950327302 19951215

Abstract of JP 9168039 (A)

PROBLEM TO BE SOLVED: To reduce the scale of circuit. **SOLUTION:** Selectors 32, 34 are controlled by a loop control circuit 12 and select a complex signal orthogonally detected and its delay signal for an AFC period. A subtractor 35 and a complex multiplier 36 detect a frequency error from outputs of the selectors 32, 34. Furthermore, the selectors 32, 34 select a complex signal synchronizingly detected and its symbol discrimination result for a PLL period. Thus, the subtractor 35 and the complex multiplier 36 detect a phase error for the PLL period. An output of the complex multiplier 36 for the AFC period is fed to a loop filter 7 in an AFC loop and an output of the complex multiplier 36 for the PLL period is fed to a loop filter 15 in the PLL loop. Thus, the subtractor 35 and the complex multiplier 36 are used in common for the AFC control and the PLL control to reduce the circuit scale.



Downloaded from espacenet.com

Data supplied from the **esp@cenet** database — Worldwide

特開平9-168039

(43) 公開日 平成9年(1997)6月24日

(51) Int.Cl.⁶

H 0 4 L 27/38

識別記号

序内整理番号

F I

H 0 4 L 27/00

技術表示箇所

H

審査請求 未請求 請求項の数 6 ○ L (全 11 頁)

(21) 出願番号 特願平7-327302

(22) 出願日 平成7年(1995)12月15日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71) 出願人 000221029

東芝エー・ピー・イー株式会社

東京都港区新橋3丁目3番9号

(72) 発明者 小松 進

東京都港区新橋3丁目3番9号 東芝エー・ピー・イー株式会社内

(72) 発明者 西川 正樹

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝マルチメディア技術研究所内

(74) 代理人 弁理士 伊藤 進

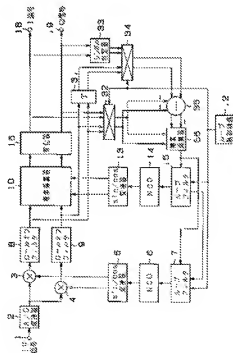
最終頁に続く

(54) 【発明の名称】 搬送波再生回路

(57) 【要約】

【課題】 回路規模を削減する。

【解決手段】 セレクタ32、34はループ制御回路12に制御されて、夫々AFC期間には直交検波された複素信号及びその遅延信号を選択する。減算器35及び複素乗算器36によって、セレクタ32、34の出力から周波数誤差が検出される。また、セレクタ32、34はPLL期間には同期検波された複素信号とそのシンボル判定結果とを選択する。これにより、減算器35及び複素乗算器36はPLL期間において位相誤差を検出する。AFC期間の複素乗算器36の出力はAFCループ内のループフィルタ7に供給され、PLL期間の複素乗算器36の出力はPLLループ内のループフィルタ15に供給される。こうして、AFC制御及びPLL制御において、減算器35及び複素乗算器36が兼用され、回路の削減が図られる。



【特許請求の範囲】

【請求項1】 受信信号から再生搬送波を再生する自動周波数制御ループ及び位相同期制御ループと、

前記自動周波数制御ループ内に構成され、搜索乗算器を有して前記再生搬送波の位相誤差を検出して位相誤差信号を出力する位相誤差検出手段と、
前記自動周波数制御ループ内に構成され、前記搜索乗算器を用いて前記再生搬送波の周波数誤差を検出して周波数誤差信号を出力する周波数誤差検出手段と、

前記再生搬送波の周波数誤差を除去する所定の自動周波数制御期間に前記搜索乗算器を周波数誤差の検出に用い、前記再生搬送波の位相誤差を除去する所定の位相同期制御期間に前記搜索乗算器を位相誤差の検出に用いる制御手段とを具備したことを特徴とする搬送波再生回路。

【請求項2】 受信信号から再生搬送波を再生する自動周波数制御ループ及び位相同期制御ループと、
前記自動周波数制御ループ内に構成され、位相検出用ROMを有して前記再生搬送波の周波数誤差を検出して周波数誤差信号を出力する周波数誤差検出手段と、

前記位相同期制御ループ内に構成され、前記位相検出用ROMを用いて前記再生搬送波の位相誤差を検出して位相誤差信号を出力する位相誤差検出手段と、
前記再生搬送波の周波数誤差を除去する所定の自動周波数制御期間に前記位相検出用ROMを周波数誤差の検出に用い、前記再生搬送波の位相誤差を除去する所定の位相同期制御期間に前記位相検出用ROMを位相誤差の検出に用いる制御手段とを具備したことを特徴とする搬送波再生回路。

【請求項3】 前記自動周波数制御ループは、前記周波数誤差信号の高周波成分を除去する第1のローパスフィルタを具備し、

前記位相同期制御ループは、前記位相誤差信号の高周波成分を除去すると共に、前記位相同期制御期間に周波数誤差を前記第1のローパスフィルタに出力する第2のローパスフィルタを具備したことを特徴とする請求項1又は2のいずれか一方に記載の搬送波再生回路。

【請求項4】 前記自動周波数制御ループ及び前記位相同期制御ループは、前記自動周波数制御期間に前記周波数誤差信号の高周波成分を除去すると共に、前記位相同期制御期間に前記位相誤差信号の高周波成分を除去する第3のローパスフィルタを具備したことを特徴とする請求項1又は2のいずれか一方に記載の搬送波再生回路。

【請求項5】 前記制御手段は、時間計測器を有し、前記自動周波数制御期間と前記位相同期制御期間とを前記時間計測器の出力に基づいて設定することを特徴とする請求項1又は2のいずれか一方に記載の搬送波再生回路。

【請求項6】 前記制御手段は、前記周波数誤差信号の安定度を判定する判定手段を有し、前記自動周波数制御

期間と前記位相同期制御期間とを前記判定手段の出力に基づいて設定することを特徴とする請求項1又は2のいずれか一方に記載の搬送波再生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多値直交振幅復調装置の再生搬送波の再生に好適な搬送波再生回路に関する。

【0002】

【従来の技術】近年、映像信号又は音声信号の伝送において、高品質なディジタル変調が開発されている。例えば、ディジタルテレビジョン(TV)放送では、CATV(ケーブルテレビジョン)において多値QAM(直交振幅変調)方式を用いたディジタル伝送が検討されている。

【0003】図7はこのような多値QAM復調器を示すブロック図である。

【0004】入力端子1にはIF(中間周波)信号が入力される。このIF信号が送信側において、ディジタル信号を多値QAM変調した後、直交変調して伝送したものである。入力端子1からのIF(中間周波)信号はA/D変換器2に入力され、ディジタルIF信号に変換される。A/D変換器2からのディジタルIF信号は乗算器3、4に入力される。

【0005】乗算器3、4、 \sin/\cos 変換器5、数値制御発振器(以下、NCOという)6によって直交検出回路が構成されている。NCO6は後述するローパスフィルタ7の出力に制御されて、所定周波数の再生キャリアを発生するための数値を \sin/\cos 変換器5に出力するようになっている。 \sin/\cos 変換器5はNCO6からの数値に基づいて、所定周波数の同相軸(1軸)キャリアを再生して乗算器3に入力すると共に、所定周波数の直交軸(Q軸)キャリアを再生して乗算器4に入力する。乗算器3はA/D変換器2の出力に同相軸キャリアを乗算して同相軸検出出力を得、乗算器4はA/D変換器2の出力に直交軸キャリアを乗算して直交軸検出出力を得る。乗算器3、4の出力は夫々ローパスフィルタ8、9に入力される。

【0006】1、Q軸の検出出力は夫々ローパスフィルタ8、9に供給され符号間干渉が除去される。ローパスフィルタ8、9からのベースバンドのQAM信号(搜索信号)は搜索乗算器10に入力されると共に、周波数誤差検出回路11にも入力される。周波数誤差検出回路11は、ローパスフィルタ8、9からの搜索信号の周波数誤差を検出する。周波数誤差検出回路11からの周波数誤差信号はローパスフィルタ7によって平滑化された後、NCO6に供給される。NCO6は平滑化された周波数誤差信号に応じて発振して、発振出力を \sin/\cos 変換器5に出力する。このようにして、キャリア周波数を制御するAFC制御が行われる。

【0007】複素乗算器10には後述する \sin/\cos 変換器13から位相誤差が除去された同相軸キャリア及び直交軸キャリアも与えられる。複素乗算器10はこれらのキャリアを用いた同期検波によって、QAM信号を復調してI信号及びQ信号を得る。これらのI、Q信号は等化器16に与えられて、反射等の妨害が除去された後出力端子18、19を介して出力される。

【0008】等化器16の出力は位相誤差検出器17にも与えられる。位相誤差検出器17は、I、Q信号からキャリア位相誤差を検出する。位相誤差検出器17からの位相誤差信号はループフィルタ15によって平滑化された後NC014に与えられる。NC014は平滑化された位相誤差信号に応じて発振し、発振出力を \sin/\cos 変換器13に出力する。こうして、PLL制御が行われて、再生キャリアの位相誤差が除去される。

【0009】ループ制御回路12はループフィルタ7、15を制御することにより、AFCループ及びPLLループのループ制御を行う。ループ制御回路12は、先ず最初の所定時間にはAFCループを制御して周波数誤差を除去し、次にPLLループを制御して位相同期をとる。即ち、ループ制御回路12は時間を計測し、AFC期間及びPLL期間を示す制御信号を各ループフィルタ7、15に供給している。

【0010】ループフィルタ7は、ループ制御回路12からの制御信号に基づいて、AFC期間に動作すると共に、PLL期間には動作を停止して、平滑化された周波数誤差信号を保持する。ループフィルタ15は、ループ制御回路12からの制御信号に基づいて、PLL期間になると動作を開始する。また、ループフィルタ15はリーク信号をループフィルタ7に供給している。直交検波後に残留周波数誤差が有ると、ローオフフィルタ8、9による符号間干渉除去が十分に行われなくなる。残留周波数誤差はループフィルタ15に蓄積されるので、ループフィルタ15は蓄積された残留周波数誤差をリーク信号としてループフィルタ7に供給することにより、残留周波数誤差を除去するようになっている。

【0011】図8は図7中の周波数誤差検出器11の具体的な構成を示すブロック図である。

【0012】周波数誤差検出回路11にはローオフフィルタ8からのI、Q軸の複素信号が入力される。これらの複素信号は位相補正器として動作するアークタンジェントROM21に入力される。アークタンジェントROM21は、I、Q軸の複素信号のアークタンジェントを求めることにより、位相データθを得る。アークタンジェントROM21からの位相データは減算器23に与えられると共に、遅延器22によって遅延された後減算器23に与えられる。減算器23はアークタンジェントROM21の位相データからその遅延信号を減算する。即ち、遅延器22及び減算器23による差分演算は、位相データの時間微分演算に相当する。位相の時間微分は周波数成分を示し、減

算器23からはI、Q軸の複素信号の位相変化、即ち、周波数誤差が出力されることになる。

【0013】図9は図7中の位相誤差検出器17の具体的な構成を示すブロック図である。また、図10はI-Q平面上において位相誤差検出方法を説明するためのグラフである。

【0014】位相誤差検出器17には等化器16から同期検波されたI、Q信号が供給される。これらのI、Q信号はシンボル判定器26、減算器25及び複素乗算器27に与えられる。シンボル判定器26は入力された複素信号の本来のシンボル位置を判定する。図11は16値QAMにおけるI-Q平面上のシンボル位置を示す説明図である。図11の黒丸はシンボル位置を示しており、シンボル判定器26は、入力されたI、Q信号の値が、図11の破線で示す各領域内の値である場合には、黒丸で示した各領域の中心のシンボル位置の値であるものと判定する。シンボル判定器26は判定結果を減算器25に出力する。

【0015】図10においては、入力されたI、Q信号のI-Q平面上における位置を白丸で示し、シンボル判定器26によるシンボル判定位置を黒丸で示している。検波されたI、Q信号及び本来のシンボル位置をベクトルVin、Vで表し、角度をそれぞれθ、φとすると、図10に示すように、求める位相誤差はθ-φである。また、ベクトルVin、Vの長さをAとすると、各ベクトルVin、Vは下記(1)式及び(2)式によって表される。

【0016】

$$V_{in} = A \cos \theta + j A \sin \theta \quad \cdots (1)$$

$$V = A \cos \phi + j A \sin \phi \quad \cdots (2)$$

また、Im [] によって [] 内の虚数成分を表し、c o s () によって () 内の複素信号の共役複素数を求める関数を示すものとする。下記(3)式によって位相誤差に比例した値を得ることができる。

【0017】

$$\text{Im}(\cos(V - V_{in}) \cdot V_{in}) = A^2 \sin(\theta - \phi) \quad \cdots (3)$$

減算器25は検波されたI、Q信号とシンボル位置との差である $V - V_{in}$ を求めて複素乗算器27に出力する。複素乗算器27は減算器25の出力と入力I、Q信号との複素乗算を行う。これにより、上記(3)式の演算が行われて、複素乗算器27からは(3)式の右辺に示す位相誤差に比例した位相誤差信号が出力される。

【0018】このように、図7においては、搬送波を再生するために周波数誤差検出器11及び位相誤差検出器17が設けられている。しかしながら、周波数誤差検出器11及び位相誤差検出器17は、図8及び図9に示すように、回路規模が大きいアークタンジェントROM及び複素乗算器が有しており、回路規模が極めて大きいという問題があった。

【0019】

【発明が解決しようとする課題】このように、従来、ア

ークランジェントROM及び複素乗算器を有する構成となっていることから、回路規模が極めて大きいという問題点があった。

【0020】本発明はかかる問題点に鑑みてなされたものであって、回路規模を小さくすることができる搬送波再生回路を提供することを目的とする。

【0021】

【課題を解決するための手段】本発明の請求項1に係る搬送波再生回路は、受信信号から再生搬送波を再生する自動周波数制御ループ及び位相同期制御ループと、前記位相同期制御ループ内に構成され、複素乗算器を有して前記再生搬送波の位相誤差を検出して位相誤差信号を出力する位相誤差検出手段と、前記自動周波数制御ループ内に構成され、前記複素乗算器を用いて前記再生搬送波の周波数誤差を検出して周波数誤差信号を出力する周波数誤差検出手段と、前記再生搬送波の周波数誤差を除去する所定の自動周波数制御期間に前記複素乗算器を周波数誤差の検出に用い、前記再生搬送波の位相誤差を除去する所定の位相同期制御期間に前記複素乗算器を位相誤差の検出に用いる制御手段とを具備したものであり、本発明の請求項2に係る搬送波再生回路は、受信信号から再生搬送波を再生する自動周波数制御ループ及び位相同期制御ループと、前記自動周波数制御ループ内に構成され、位相検出用ROMを有して前記再生搬送波の周波数誤差を検出して周波数誤差信号を出力する周波数誤差検出手段と、前記位相同期制御ループ内に構成され、前記位相検出用ROMを用いて前記再生搬送波の位相誤差を検出して位相誤差信号を出力する位相誤差検出手段と、前記再生搬送波の周波数誤差を除去する所定の自動周波数制御期間に前記位相検出用ROMを周波数誤差の検出に用い、前記再生搬送波の位相誤差を除去する所定の位相同期制御期間に前記位相検出用ROMを位相誤差の検出に用いる制御手段とを具備したものである。

【0022】本発明の請求項1において、位相同期制御ループ内の位相誤差検出手段は、制御手段に制御されて、位相同期制御期間に複素乗算器を用いて再生搬送波の位相誤差を検出する。制御手段は、自動周波数制御期間には、複素乗算器を周波数誤差検出に用いる。これにより、自動周波数制御ループ内の周波数誤差検出手段は、自動周波数制御期間に複素乗算器を用いて周波数誤差を検出する。

【0023】本発明の請求項2において、自動周波数制御ループ内の周波数誤差検出手段は、制御手段に制御されて、自動周波数制御期間に位相検出用ROMを用いて再生搬送波の周波数誤差を検出する。制御手段は、位相同期制御期間には、位相検出用ROMを位相誤差検出に用いる。これにより、位相同期制御ループ内の位相誤差検出手段は、位相同期制御期間に位相検出用ROMを用いて位相誤差を検出する。

【0024】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態について詳細に説明する。図1は本発明の一実施の形態に係る搬送波再生回路が組込まれた多値QAM復調器を示すブロック図である。図1において図7と同一の構成要素には同一符号を付してある。

【0025】入力端子1にはIF（中間周波）信号が入力される。このIF信号は低周周において、デジタル信号を例えば多値QAM変調した後、直交変調して伝送したものである。入力端子1からのIF（中間周波）信号はA/D変換器2に与えられる。A/D変換器2はIF信号をデジタル信号に変換して乗算器3、4に出力する。

【0026】乗算器3、4は後述する \sin/\cos 変換器5から夫々同相軸キャリア及び直交軸キャリアが与えられて、入力信号との乗算によって直交復調を行う。乗算器3、4からのI軸、Q軸のベースバンドQAM信号は夫々ローパスフィルタ8、9に与えられる。ローパスフィルタ8、9は入力されたQAM信号の符号間干渉を除去して複素乗算器10に出力する。

【0027】複素乗算器10は後述する \sin/\cos 変換器13から同相軸キャリア及び直交軸キャリアが与えられており、入力されたI、Q軸の復調信号と同相軸キャリア及び直交軸キャリアとの乗算によって同期検波を行い、I、Q軸の検波出力を等化器16に出力するようにしている。等化器16は入力された信号から反射等の妨害を除去して出力端子18、19に夫々I、Q信号を出力するようになっている。

【0028】本実施の形態においては、ローパスフィルタ8、9の出力は遅延器31及びセレクタ32に供給されるようになっている。セレクタ32には等化器16からのI、Q信号も与えられる。遅延器31はローパスフィルタ8、9の出力を単位時間だけ遅延させてセレクタ34に出力する。セレクタ34にはシンボル判定器33からの判定結果も与えられる。シンボル判定器33は等化器16からのI、Q信号のシンボル位置を判定して判定結果をセレクタ34に出力するようになっている。

【0029】セレクタ32、34はループ制御回路12によって制御される。ループ制御回路12はループフィルタ7、15を制御することにより、AFCループ及びPLLループのループ制御を行う。即ち、ループ制御回路12は、時間を計測することにより、AFC期間及びPLL期間を示す制御信号を夫々ループフィルタ7、15に供給している。更に、ループ制御回路12は、AFC期間及びPLL期間を示す制御信号をセレクタ32、34にも出力するようになっている。

【0030】セレクタ32、34は、夫々制御信号に基づいて、AFC期間にはローパスフィルタ8、9の出力又は遅延器31の出力を選択し、PLL期間には等化器16の出力又はシンボル判定器33の出力を選択するようになっ

ている。セレクト34の出力は減算器35に与えられ、セレクト3の出力は減算器35及び複素乗算器36に与えられる。

【0031】減算器35は、セレクト34の出力からセレクト32の出力を減算して複素乗算器36に出力する。複素乗算器36はセレクト32の出力と減算器35の出力とを複素乗算する。複素乗算器36はAFC期間の乗算結果を周波数誤差信号としてループフィルタ7に出力し、P.L.L.期間の乗算結果を位相誤差信号としてループフィルタ15に出力するようにしている。また、ループフィルタ7は、ループ制御回路12の制御信号によってAFC期間にのみ動作し、複素乗算器36からの周波数誤差信号を平滑化してNCO14に出力する。また、ループフィルタ15は、残留周波数誤差をリック信号としてループフィルタ7に供給する。

【0032】即ち、本実施の形態においては、AFCループ及びP.L.L.ループは、セレクト34によって入力を切換えることにより、減算器35及び複素乗算器36を共用化している。

【0033】乗算器3、4、 \sin/\cos 変換器5、数値制御発振器（以下、NCOという）6によって直交検波回路が構成されている。NCO6はループフィルタ7の出力に制御されて、所定周波数の再生キャリアを発生するための数値を \sin/\cos 変換器5に出力するようになっている。 \sin/\cos 変換器5はNCO6からの数値に基づいて、所定周波数の1軸キャリアを再生して乗算器3に与え、と共に、所定周波数のQ軸キャリアを再生して乗算器4に与える。また、NCO14は平滑化された位相誤差信号に応じて発振し、発振出力を \sin/\cos 変換器13に出力する。 \sin/\cos 変換器13はNCO14からの数値に基づいて、所定周波数の1軸キャリア及びQ軸キャリアを再生して複素乗算器10に与えるようになっている。

【0034】次に、このように構成された実施の形態の動作について図2の1Q平面を示す説明図を参照して説明する。

【0035】入力端子1を介して入力されたIF信号はA/D変換器2によってデジタル信号に変換された後、乗算器3、4に与えられる。乗算器3、4は \sin/\cos 変換器5からの1軸キャリア又はQ軸キャリアとIF信号との乗算によって直交検波を行い、I、Q軸のベースバンドQAM信号をロールオフフィルタ8、9に出力する。ロールオフフィルタ8、9によってQAM信号から符号間干渉が除去されて複素乗算器10に与えられる。複素乗算器10は \sin/\cos 変換器13からのI、Q軸キャリアと入力されたI、Q軸のQAM信号との複素乗算を行って同期検波する。複素乗算器10からのI、Q信号は等化器16によって波形等化されて出力

端子18、19を介して出力される。

【0036】搬送波の再生はAFCループ及びP.L.L.ループによって行われる。ループ制御回路12は、まず、AFC期間を示す制御信号を出力してAFC制御を行い、次に、P.L.L.期間を示す制御信号を出力してP.L.L.制御を行う。P.L.L.制御時の動作は従来と略々同様である。P.L.L.期間にはセレクト32は等化器16の出力を選択し、セレクト34はシンボル判定器33の出力を選択する。シンボル判定器33は検波されたI、Q信号の本来のシンボル位置を判定して判定結果をセレクト34を介して減算器35に出力する。また、検波されたI、Q信号はセレクト32を介してそのまま減算器35に与えられている。

【0037】減算器35はセレクト34の出力からセレクト32の出力を減算して複素乗算器36に出力する。複素乗算器36は、セレクト32の出力と減算器35の出力との複素乗算を行う。即ち、減算器35及び複素乗算器36によって上記(3)式に示す演算が行われ、(3)式の右辺に示す位相誤差に比例した位相誤差信号が得られる。この位相誤差信号は複素乗算器36からループフィルタ15に供給され、平滑化された後にNCO14に与えられる。このようにしてP.L.L.制御が行われて、位相誤差が除去される。

【0038】一方、AFC制御はAFCループによって行われる。ループ制御回路12によってAFC期間を示す制御信号が出力されると、セレクト32はロールオフフィルタ8、9の出力を選択し、セレクト34は遅延器31の出力を選択する。遅延器31はロールオフフィルタ8、9の出力を単位時間だけ遅延させてセレクト34に供給している。

【0039】セレクト32、34の出力は減算器35に与えられる。即ち、減算器35には単位時間前後の直交検波出力が与えられることになる。いま、例えば、所定時間前に直交検波されて得られた複素信号が図2のベクトルYで表され、所定時間後に直交検波されて得られた複素信号が図2のベクトルXで表されるものとすると、ベクトルXで表される複素信号はセレクト34から減算器35に与えられており、ベクトルYで表される複素信号はセレクト32を介して減算器35に与えられている。

【0040】減算器35はベクトルYからベクトルXを減算して複素乗算器36に出力する。複素乗算器36は、ベクトルYとベクトルXの角度を ϕ とし、 $\phi/2$ とすると、複素乗算器36の乗算結果の虚数成分は $\phi/2 - \phi/2$ に比例した値となる。即ち、複素乗算器36の出力は位相の時間微分、つまり周波数ずれ（誤差）を表す。こうして、AFC期間には複素乗算器36から周波数誤差信号がループフィルタ7に供給されて、AFC制御が行われる。

【0041】このように、本実施の形態においては、AFCループとP.L.L.ループの回路の一部を共用化することができ、周波数誤差を検出するために用いたアークタンジェントROMを省略し、減算器35及び複素乗算器36を

位相誤差の検出だけでなく、周波数誤差の検出にも兼用することができ、回路規模を縮小することができる。

【0042】図3は本発明の他の実施の形態を示すブロック図である。図3において図1と同じ構成要素には同一符号を付して説明を省略する。図1の実施の形態においては、減算器35及び複素乗算器36をAFC制御及びPLL制御において兼用したが、本実施の形態は、位相検出器としてのアークタンジェントROMを共用化することにより、回路規模が大きい複素乗算器36を省略可能にした例である。

【0043】本実施の形態は図1の遅延器31、セレクト34、減算器35及び複素乗算器36を削除して、アークタンジェントROM41、遅延器42、セレクト43、変換テーブル44及び減算器45を設けた点が図1の実施の形態と異なる。

【0044】セレクト32の出力は位相検出器としてのアークタンジェントROM41に与えられる。アークタンジェントROM41はセレクト32の出力の位相を示す位相データを遅延器42及び減算器45に出力する。遅延器42はアークタンジェントROM41からの位相データを単位時間だけ遅延させてセレクト43に出力する。シンボル判定器33の出力は変換テーブル44に与えられる。変換テーブル44は、シンボル判定器33が判定したシンボル位置を位相に変換するものであり、シンボル位置に対応した位相データをセレクト43に出力する。なお、変換テーブル44は16値QAMにおいては16個のデータを保持してあればよく、回路規模は極めて小さい。

【0045】セレクト43は、ループ制御回路12からAFC期間を示す制御信号が与えられた場合には遅延器42の出力を選択し、PLL期間を示す制御信号が与えられると、変換テーブル44の出力を選択して減算器45に出力するようになっている。減算器45はアークタンジェントROM41の出力からセレクト43の出力を減算し、AFC期間には減算結果を周波数誤差信号としてループフィルタ7に与え、PLL期間には減算結果を位相誤差信号としてループフィルタ15に出力するようになっている。

【0046】次に、このように構成された実施の形態の動作について説明する。

【0047】乗算器3、4による直交検波及び複素乗算器10による同期検波の動作は図1の実施の形態と同様である。いま、ループ制御回路12によって、AFC期間が指定されるものとする。この場合には、セレクト32はローパスフィルタ8、9の出力を選択してアークタンジェントROM41に与え、セレクト43は遅延器42の出力を選択して減算器45に与える。即ち、この場合には、図8と同様の周波数誤差検出器が構成される。アークタンジェントROM41は、入力された直交検波出力の位相データを遅延器42及び減算器45に出力する。遅延器42は入力された位相データを単位時間だけ遅延させ、セレクト43を介して減算器45に出力する。減算器45によって、単位

時間前後の位相データの差分が求められ、周波数誤差信号としてループフィルタ7に出力される。

【0048】次に、ループ制御回路12によってPLL期間が設定されるものとする。この場合には、セレクト32は等化器16の出力を選択してアークタンジェントROM41に与え、セレクト43は変換テーブル44の出力を選択して減算器45に出力する。複素乗算器10によって同期検波されて得られた複素信号は、シンボル判定器33に与えられると共に、セレクト32を介してアークタンジェントROM41に与えられる。シンボル判定器33は本来のシンボル位置を判定して判定結果を変換テーブル44に与え、変換テーブル44はこの判定結果を位相データに変換する。また、アークタンジェントROM41は、等化器16の出力の位相を求める。

【0049】いま、等化器16からの複素信号が図10のベクトルVinで表され、シンボル判定器33の判定結果がベクトルVで表されるものとする。この場合には、アークタンジェントROM41の出力は図10の位相θに相当し、変換テーブル44の出力は図10の位相φに相当する。変換テーブル44の出力はセレクト43を介して減算器45に与えられる。減算器45はアークタンジェントROM41の出力から変換テーブル44の出力を減算する。即ち、減算器45の出力はθ-φとなり、位相誤差が求められる。減算器45からの位相誤差信号はループフィルタ15に与えられる。

【0050】他の作用は図1の実施の形態と同様である。

【0051】このように、本実施の形態においては、位相誤差検出に用いた複素乗算器を省略し、周波数誤差検出において用いた位相検出用のアークタンジェントROMを用いて位相誤差を検出している。周波数誤差検出と位相誤差検出とでアークタンジェントROMを共用化しているので、回路規模を削減することができる。

【0052】なお、上記各実施の形態においては、AFC制御における残留周波数誤差が低調性能に影響を及ぼす場合を考慮して、PLLループのループフィルタ15からAFCループのループフィルタ7にリーク信号を供給して残留周波数誤差を除去していたが、伝送システムによってはAFC制御における残留周波数誤差が低調性能に影響しないこともある。この場合には、AFCループとPLLループのループフィルタを兼用することもでき、回路規模を一層削減することが可能である。

【0053】図4はこのようにループフィルタを共用化した例を示している。図4は図1の実施の形態に対応させたものである。図4において図1と同じ構成要素には同一符号を付して説明を省略する。

【0054】図4において、複素乗算器36の出力はループフィルタ5に与えられる。ループフィルタ5は、ループ制御回路12に制御されて、AFC期間にはAFC制御用のフィルタ特性に設定されて、複素乗算器36からの周

波数誤差信号を平滑化してNCOS2に出力し、PLL期間にはPLL制御用のフィルタ特性に設定されて、複素乗算器36からの位相誤差信号を平滑化してNCOS3に出力するようになっている。

【0055】NCOS2はループ制御回路12に制御されてAFC期間にのみ動作し、NCOS3はループ制御回路12に制御されてPLL期間にのみ動作する。NCOS2、53は、先ずループフィルタ51の周波数誤差信号又は位相誤差信号に基づく発振出力を発生して、 \sin/\cos 変換器5、13に出力するようになっている。

【0056】このような構成においても、図1の実施の形態と同様の作用及び効果を有することは明らかである。

【0057】また、図5は図3の実施の形態においてループフィルタを共用化した例を示している、図5において図3及び図4と同一の構成要素には同一符号を付して説明を省略する。

【0058】図5において、減算器45の出力はループフィルタ51に与えられる。ループフィルタ51は、ループ制御回路12に制御されて、AFC期間にはAFC制御用のフィルタ特性に設定されて、減算器45からの周波数誤差信号を平滑化してNCOS2に出力し、PLL期間にはPLL制御用のフィルタ特性に設定されて、減算器45からの位相誤差信号を平滑化してNCOS3に出力するようになっている。

【0059】このような構成においても、図3の実施の形態と同様の作用及び効果を有することは明らかである。

【0060】図6は本発明の他の実施の形態を示すブロック図である。図6において図1と同一の構成要素には同一符号を付して説明を省略する。

【0061】上記各実施の形態においては、ループ制御回路12は時間を計測してAFC制御とPLL制御とを切替えたが、本実施の形態は、周波数誤差の収束を判定することによりAFC制御とPLL制御とを切替える例に適用したものである。

【0062】図6においてループ制御回路61にはループフィルタ7の出力が与えられる。ループ制御回路61は、ループフィルタ7の出力によって、周波数誤差信号の安定度を判定する。ループ制御回路61は周波数誤差信号が安定していると判定した場合には、AFC制御からPLL制御に切替えて、PLL期間を示す制御信号を出力するようになっている。ループ制御回路61からの制御信号は、ループフィルタ7、15及びセレクタ32、34に与えられるようになっている。

【0063】このように構成された実施の形態においては、先ず、ループ制御回路61はAFC制御を行う。ループ制御回路61からの制御信号はループフィルタ7、15に与えられて、ループフィルタ7が動作状態となる。セレクタ32、34によって、直交検波された複素信号及びその

遅延信号が選択され、周波数誤差が検出される。複素乗算器36からの周波数誤差信号はループフィルタ7に供給されて平滑化された後NCOS6に与えられて、AFC制御が行われる。

【0064】更に、ループフィルタ7の出力はループ制御回路61にも与えられる。ループ制御回路61はループフィルタ7の出力から周波数誤差信号の安定度を判定する。周波数誤差信号が収束して安定すると、ループ制御回路61は制御をPLL制御に切替える。即ち、ループ制御回路61はループフィルタ15を動作状態にすると共に、セレクタ32、34に夫々等化器16及びシンボル判定器33の出力を選択させる。

【0065】これにより、複素乗算器36からは位相誤差信号がループフィルタ15に供給され、PLL制御が行われる。

【0066】このように、本実施の形態においても図1の実施の形態と同様の効果を得ることができる。図1の実施の形態においては、C/Nが悪化している場合等のようにAFCループの引込み時間が比較的長い場合等を考慮して、AFC制御からPLL制御への切替時間を設定する必要があるが、本実施の形態においては、周波数誤差の収束を判定して制御の切替えを行っているの、受信状態に応じた切替を自動的に行うことが可能となるという利点がある。

【0067】なお、本実施の形態を図3の実施の形態にも適用可能であることは明らかである。

【0068】【発明の効果】以上説明したように本発明によれば、回路規模を縮小することができるという効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施の形態に係る搬送波再生回路が組込まれた多値QAM復調器を示すブロック図。

【図2】実施の形態の動作を説明するための説明図。

【図3】本発明の他の実施の形態を示すブロック図。

【図4】図1の実施の形態の変形例を示すブロック図。

【図5】図3の実施の形態の変形例を示すブロック図。

【図6】本発明の他の実施の形態を示すブロック図。

【図7】従来の搬送波再生回路が組込まれた多値QAM復調器を示すブロック図。

【図8】図7中の周波数誤差検出器の具体的な構成を示すブロック図。

【図9】図7中の位相誤差検出器の具体的な構成を示すブロック図。

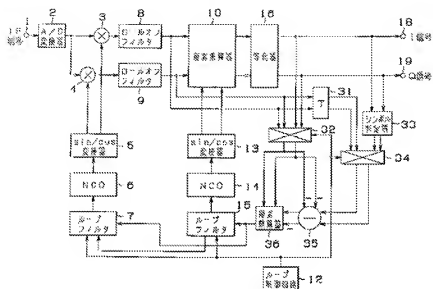
【図10】位相誤差の検出を説明するための説明図。

【図11】シンボル位置を説明するための説明図。

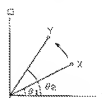
【符号の説明】

7、15…ループフィルタ、12…ループ制御回路、31…遅延器、32、34…セレクタ、33…シンボル判定器、35…減算器、36…複素乗算器

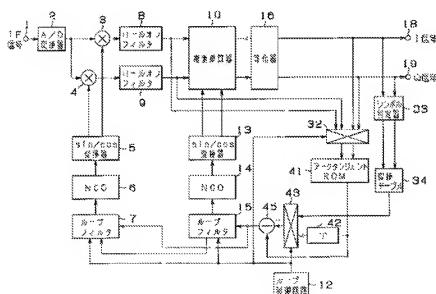
【図1】



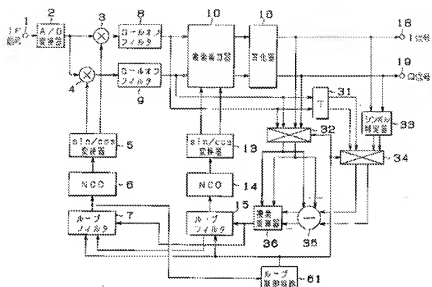
【図2】



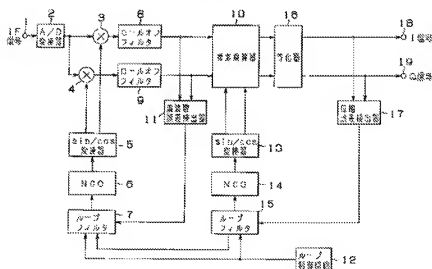
【図3】



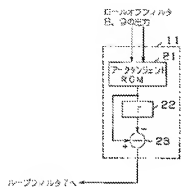
【図6】



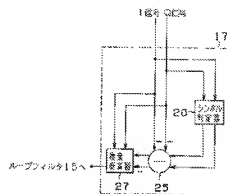
【図7】



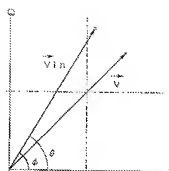
【図8】



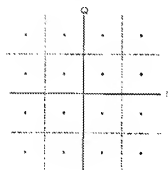
【図9】



【図10】



【図11】



フロントページの続き

(72)発明者 杉田 康
 神奈川県横浜市磯子区新杉田町8番地 株
 式会社東芝マルチメディア技術研究所内